

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PAT-NO: JP363175450A  
DOCUMENT-IDENTIFIER: JP 63175450 A  
TITLE: HERMETIC SEAL TYPE SEMICONDUCTOR  
DEVICE  
PUBN-DATE: July 19, 1988

INVENTOR-INFORMATION:  
NAME  
SAWARA, KUNIZO  
YAMADA, TAKEO  
KURODA, SHIGEO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
HITACHI LTD N/A

APPL-NO: JP62005974

APPL-DATE: January 16, 1987

INT-CL (IPC): H01L023/10, H01L023/02

US-CL-CURRENT: 257/693

ABSTRACT:

PURPOSE: To make it possible to perform a complete hermetic seal operation by a method wherein a mounting member and a metal film are directly contacted by providing the metal film on the mounting member and the thin metal film.

CONSTITUTION: On the surface of the chip carrier 1 (mounting member) made of ceramic, a thin film 2 of multilayer structure, in which sheet-like polyimide and a prescribed metal wiring are alternately laminated, is

provided. The wiring in said thin film 2 is connected to a number of bump electrodes 4, which are provided in array form on the surface exposed to the external part of the chip carrier 1, by the wiring 3 provided through the through hole formed in the chip carrier 1. An airtight sealing metal film 5 of the two-layer structure such as nickel (Ni) and gold (Au), for example, is provided on the outer circumferential part 2a of the thin film 2 and the surface 1a of the outer circumferential part of the chip carrier 1. As the metal film 5 is directly contacted to the surface of the chip carrier 1 as above-mentioned, the title semiconductor device can be hermetically sealed completely.

COPYRIGHT: (C)1988,JPO&Japio

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-175450

(43)Date of publication of application : 19.07.1988

(51)Int.Cl.

H01L 23/10

H01L 23/02

(21)Application number : 62-005974

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.01.1987

(72)Inventor : SAWARA KUNIZO

YAMADA TAKEO

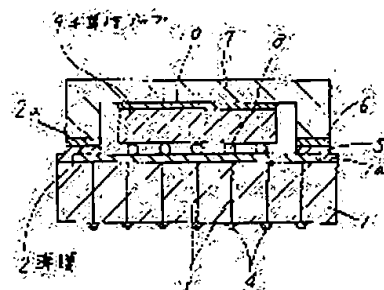
KURODA SHIGEO

## (54) HERMETIC SEAL TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make it possible to perform a complete hermetic seal operation by a method wherein a mounting member and a metal film are directly contacted by providing the metal film on the mounting member and the thin metal film.

CONSTITUTION: On the surface of the chip carrier 1 (mounting member) made of ceramic, a thin film 2 of multilayer structure, in which sheet-like polyimide and a prescribed metal wiring are alternately laminated, is provided. The wiring in said thin film 2 is connected to a number of bump electrodes 4, which are provided in array form on the surface exposed to the external part of the chip carrier 1, by the wiring 3 provided through the through hole formed in the chip carrier 1. An airtight sealing metal film 5 of the two-layer structure such as nickel (Ni) and gold (Au), for example, is provided on the outer circumferential part 2a of the thin film 2 and the surface 1a of the outer circumferential part of the chip carrier 1. As the metal film 5 is directly contacted to the surface of the chip carrier 1 as above-mentioned, the title semiconductor device can be hermetically sealed completely.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-175450

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)7月19日

H 01 L 23/10  
23/02Z-6835-5F  
B-6835-5F

審査請求 未請求 発明の数 1 (全3頁)

⑯ 発明の名称 気密封止型半導体装置

⑰ 特 願 昭62-5974

⑱ 出 願 昭62(1987)1月16日

⑲ 発 明 者 佐 原 邦 造 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内⑲ 発 明 者 山 田 隆 雄 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内⑲ 発 明 者 黒 田 重 雄 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

気密封止型半導体装置

## 2. 特許請求の範囲

1. 半導体チップが搭載される搭載部材と、この搭載部材上に設けられている、所定の配線を有する導膜と、気密封止用の金属膜と、この金属膜上に設けられている気密封止用部材とを具備する気密封止型半導体装置であって、前記搭載部材と前記導膜との上に前記金属膜を設けたことを特徴とする気密封止型半導体装置。

2. 前記搭載部材の外周部と前記導膜の外周部との上に前記金属膜が設けられていることを特徴とする特許請求の範囲第1項記載の気密封止型半導体装置。

3. 前記搭載部材に設けられるパンプ電極と前記導膜の前記配線とを前記搭載部材内を過って接続するための配線が前記搭載部材の表面に垂直に設けられていることを特徴とする特許請求の範囲第1項又は第2項記載の気密封止型半導体

## 装 置。

4. 前記搭載部材がセラミックスであることを特徴とする特許請求の範囲第1項～第3項のいずれか一項記載の気密封止型半導体装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、気密封止型半導体装置に関し、特に、気密封止に適用して有効な技術に関するものである。

〔従来の技術〕

気密封止(ハーメチックシール)型パッケージは、耐湿性に優れた高信頼性のパッケージとして知られている(例えば、半導体ハンドブック(第2版)、オーム社、1977年11月30日発行、p.331～p.332)。本発明者は、この気密封止型パッケージについて検討した。以下は、公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

すなわち、第1の技術による気密封止型パッケージは、所定の配線を有する導膜をチップキャリ

## 特開昭63-175450 (2)

ア上に設け、この薄膜の外周部の上に金属膜及び封止ろう材を介してキャップを設けることにより気密封止を行うものである。このようなパッケージは、類似的な気密封止型パッケージと呼ばれている。

第2の技術による気密封止型パッケージは、チップキャリアの外周部の上に直接金属膜を設け、この上に封止ろう材を介してキャップを設けることにより気密封止を行っている。

(発明が解決しようとする問題点)

しかしながら、第1の技術によるパッケージは、耐湿性の良好でないポリイミド等により構成される薄膜がパッケージの外部に露出した構造となるので、完全な気密封止とはならず、信頼性上問題がある。また、第2の技術によるパッケージは、金属膜を直接チップキャリア上に設けているため完全な気密封止を行うことができるが、次のような問題がある。すなわち、パッケージの外部に露出したチップキャリア表面には、実装時に用いるパンプ電極がアレイ状に設けられている。これら

のパンプ電極のピッチは一定値に決められている。ところが、上述のようにチップキャリアの外周部の上に直接金属膜を設けた構造とすると、チップキャリアの寸法を大きくしない限り、薄膜の寸法を小さくせざるを得ない。この結果、チップキャリア表面のパンプ電極が設けられている領域の面積に比べて薄膜の面積が小さくなる。このため、薄膜の配線とパンプ電極とを接続するための配線をチップキャリア内を通して表面に垂直にまっすぐ設けることができなくなるので、チップキャリアを多層構造として、このチップキャリア内で配線を引き回す必要が生じる。従って、パッケージの製造が難しいという問題がある。

本発明の目的は、完全な気密封止を行うことにより信頼性の向上を図ることが可能な技術を提供することにある。

本発明の他の目的は、気密封止型半導体装置を容易に製造することが可能な技術を提供することにある。

本発明の構成ならびにその他の目的と新規な特

徴は、本明細書の記述及び添付図面によって明らかにである。

(問題点を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を説明すれば、下記のとおりである。

すなわち、搭載部材と薄膜との上に金属膜を設けている。

(作用)

上記した手段によれば、搭載部材と金属膜とを直接接触させることにより完全な気密封止を行うことが可能となるので、気密封止型半導体装置の信頼性の向上を図ることができる。また、薄膜の面積を十分に大きくすることにより、搭載部材の表面に設けられる電極と薄膜の配線とを接続する配線をこの搭載部材の表面に垂直にまっすぐ設けることが可能となるため、気密封止型半導体装置の製造の容易化を図ることが可能となる。

(実施例)

以下、本発明の構成について、一実施例に基づき図面を参照しながら説明する。

なお、全図において、同一の機能を有するものには同一の符号を付け、その繰り返しの説明は省略する。

第1図は、本発明の一実施例による気密封止型パッケージを示す斜視図であり、第2図は、第1図のX-X線に沿っての断面図である。

第1図及び第2図に示すように、本実施例による気密封止型パッケージにおいては、例えばムライトのようなセラミックスから成るチップキャリア1(搭載部材)の表面に、例えばシート状のポリイミドと所定の金属配線とが交互に多層積層された構造を有する薄膜2が設けられている。この薄膜2は、前記チップキャリア1よりもわずかに小さく(例えば、両者の辺方向の寸法の差は片側で0.2mm程度)、かつ後述のパンプ電極4が設けられている領域よりも大きい面積を有している。このように薄膜2の面積がチップキャリア1の面積よりも小さいため、チップキャリア1の外周部の表面1'はこの薄膜2により覆われていない。この場合、上述のように薄膜2はチップキャリア

## 特開昭63-175450(3)

1よりもわずかに小さいだけであるので、チップキャリア1の外周寸法、従ってパッケージの外周寸法の増大はほとんど生じない。また、この薄膜2における配線(図示せず)は、前記チップキャリア1内に設けられたスルーホールを通じて設けられた配線3により、このチップキャリア1の外周に露出した表面にアレイ状に多数設けられたパンプ電極4と接続されている。前記配線3は、これらのパンプ電極4と同一のピッチで、チップキャリア1の表面に垂直にまっすぐ設けられている。これによって、チップキャリア1を多層構造とする必要がないので、チップキャリア1の製造が容易となり、従ってパッケージの製造の容易化を図ることができる。

前記薄膜2の外周部2aと前記チップキャリア1の外周部の表面1aとの上には、例えばニッケル(Ni)と金(Au)との二層構造の気密封止用金属膜5が設けられている。このように金属膜5がチップキャリア1の表面に直接接合しているため、気密封止を完全に行うことができる。このため、

パッケージの信頼性の向上を図ることができる。前記金属膜5の上には、例えばはんだのような封止ろう材6を介して、例えば銅-タングステン(Cu-W)製のキャップ7(封止用部材)が設けられ、これによって気密封止が行われている。

一方、前記薄膜2上には、例えばはんだパンプ8を介して、例えばシリコンチップのような半導体チップ9が搭載され、この半導体チップ9上のボンディングパッド(図示せず)と前記薄膜2上の配線(図示せず)とが接続されている。さらに、この半導体チップ9は、例えばはんだ層10によりキャップ7に接合されている。これによって、半導体チップ9で発生する熱を熱伝導によりキャップ7側に容易に逃がすことができるので、熱放散性が良好である。

以上、本発明者によってなされた発明を前記実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変形し得ることは勿論である。

例えば、金属膜5が薄膜2とチップキャリア1とにまたがる領域の寸法は、必要に応じて適宜決定することができる。

## 〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、信頼性の向上及び製造の容易化を図ることができる。

## 4. 図面の簡単な説明

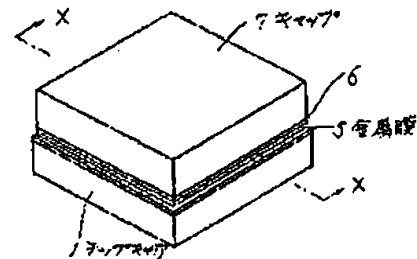
第1図は、本発明の一実施例による気密封止型パッケージを示す斜視図、

第2図は、第1図のX-X線に沿った断面図である。

図中、1…チップキャリア(搭載部材)、2…薄膜、4…パンプ電極、5…金属膜、7…キャップ(封止用部材)、9…半導体チップである。

代理人 外堀士 小川 勇男

第 1 図



第 2 図

